

Hardware/Software-Codesign mit der MicroCore-Architektur

Ulrich Hoffmann (uho@xlerb.de)
www.microcore.org

25. April 2004

Zusammenfassung

MicroCore ist eine skalierbare, zwei Stack, Harvard Prozessor-Architektur für eingebettete Systeme, die einfach in handelsüblichen FPGAs realisierbar ist, dort als 32-Bit-Variante nur einen Bruchteil ($< \frac{1}{4}$) der verfügbaren Logikelemente belegt und so genügend Raum für applikations-spezifische Erweiterungen läßt.

MicroCore erlaubt, beim Entwurf eingebetteter Systeme eine Hardware/Software-Codesign Strategie einzusetzen: Für eine spezifische Anwendung lassen sich kritische Teilfunktionalitäten innerhalb eines Entwurfsspektrums realisieren, das von Implementierungen allein durch Programme bis hin zu Implementierungen vollständig durch Schaltwerke reicht. Dies fördert den Entwurf von möglichst einfachen und damit beherrschbaren Lösungen bei gleichzeitig geringem Energieverbrauch (Tsugio Makimoto, Sony: "Cleverness Driven Devices"). Im Gegensatz zu einer vollautomatischen Partitionierung der Realisierung in Hardware- und Software-Bestandteile erfolgt die Partitionierung hier über weite Strecken durch einen Ingenieur-Ansatz — durch bewusste intellektuelle Entwurfsentscheidungen innerhalb eines vielschichtigen Problemraums — der insbesondere vollständige Transparenz der Realisierung gewährleistet.

MicroCore ist auf unterschiedliche Weisen erweiterbar. Zunächst lassen sich applikations-spezifische Schaltungen einfach über einen bereits zur Architektur gehörigen IO-Bus ansprechen. Außerdem stehen sogenannte User-Instruktionen zur Verfügung, die wahlweise Unterprogramm-aufrufe auf vordefinierte Programmspeicherpositionen durchführen oder aber applikations-spezifische Schaltungen ansprechen. Dies ermöglicht schrittweise, abgesicherte Übergänge von reinen Software-Implementierungen, über hardware-unterstützte Implementierungen, bis hin zu vollständigen Hardware-Implementierungen kritischer Teilfunktionalitäten des eingebetteten Systems.

Der Vortrag erläutert die MicroCore-Architektur und führt anhand der ganzzahligen Multiplikation vor, wie dieser schrittweise, abgesicherte Übergang von Software- zur Hardware-Implementierung der ganzzahligen Multiplikation vollzogen werden kann.